

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Hitoshi ISHIDA et al.  
Appl. No.: New Group:  
Filed: January 19, 2001 Examiner:  
For: A SYSTEM FOR PUNCTUALLY SENDING AND  
RECEIVING SERIAL DATA AND A METHOD FOR  
SENDING AND RECEIVING THE SERIAL DATA

L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

January 19, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-011516	January 20, 2000
JAPAN	2000-138073	May 11, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

  
Michael K. Mutter, #29,680

MKM/law  
2565-221P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

Hitoshi, ISHIDA et al  
"New APPLICATION"  
Filed: 1-19-01  
ATTY Docket No: 2565-221P  
Birch, Stewart, Katschke  
Birch, LLP  
703-205-8000

2 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 5月11日

出願番号

Application Number:

特願2000-138073

出願人

Applicant(s):

三菱電機株式会社

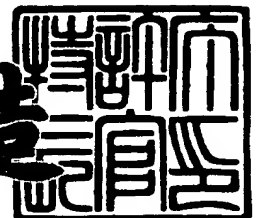
jc972 U.S. PTO  
09/764299  
01/19/01

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3098448

【書類名】 特許願

【整理番号】 522866JP01

【提出日】 平成12年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/403

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 石田 仁志

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 志賀 稔

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100099461

【弁理士】

【氏名又は名称】 溝井 章司

【選任した代理人】

【識別番号】 100111497

【弁理士】

【氏名又は名称】 波田 啓子

【選任した代理人】

【識別番号】 100111800

【弁理士】

【氏名又は名称】 竹内 三明

【書類名】 明細書

【発明の名称】 時間短縮シリアルデータ送受信システム

【特許請求の範囲】

【請求項 1】 シリアル伝送バスを用いて所定の周期でポーリング及びリフレッシュ要求を行う一次局と、該一次局に応答する複数の二次局から構成されるシステムにおいて、

上記一次局は、上記二次局からの応答順を予め定めて、上記二次局に対するアドレス指定を省いた上記ポーリング及びリフレッシュ要求を行い、

上記各二次局では、所定順を確認して応答するようにした、ことを特徴とする時間短縮シリアルデータ送受信システム。

【請求項 2】 二次局にはカウンタ相当またはタイマーを設けて、該各二次局では他の二次局の応答または時間を監視して、各々設定された順序または時間を検出した後、自局の応答を行うようにしたことを特徴とする請求項 1 記載の時間短縮シリアルデータ送受信システム。

【請求項 3】 二次局は、応答時間監視手段を設けて、該監視した応答時間が過ぎると、自局が指定される所定の順で応答を行うようにしたことを特徴とする請求項 2 記載の時間短縮シリアルデータ送受信システム。

【請求項 4】 一次局は、二次局に対するリフレッシュ要求に二次局の通常応答が不必要であることを示すフィールドを設けて、

二次局は上記フィールドの指定に基づき、通常のリフレッシュ応答を止めるようにしたことを特徴とする請求項 1 記載の時間短縮シリアルデータ送受信システム。

【請求項 5】 一次局は、二次局に対するリフレッシュ応答に二次局のエラー通知が可能であることを示すフィールドを設け、

二次局は、自局でのエラー監視手段を設けて、該監視でエラーを検出した場合に、上記フィールドの指示に基きエラー応答を返すようにしたことを特徴とする請求項 4 記載の時間短縮シリアルデータ送受信システム。

【発明の詳細な説明】

【 0 0 0 1 】

【手数料の表示】

【予納台帳番号】 056177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903016

【プルーフの要否】 要

## 【発明の属する技術分野】

この発明は、プロセスオートメーションなどに使用されるシリアル通信に関し、特に応答時間の短縮に関わるものである。

## 【0002】

## 【従来の技術】

プロセスオートメーションの分野ではフィールド機器と監視制御機器を結合するインタフェースとしてシリアル伝送バスを使用している。図1は一般的なシリアル通信システムの構成図である。図中、11は一次局、12～15は二次局、16は各局を結合するシリアル伝送バスである。例えば、二次局の12と15が入力型、二次局の13と14が出力型を示している。

従来、一次局と複数の二次局とがシリアル通信バスで接続されたシステムにおいては、一次局が二次局のデータを収集する場合、最初にある二次局に対してポーリングを行い、その二次局のデータを収集した後、次の二次局にポーリングを行って同様にデータを収集する順次ポーリング方式が一般に採られている。順次ポーリング方式の一例として、HDLC (High-level Data Link Control) があり、図12はHDLCの通信タイミング図、図13はHDLC (JIS-X5104-1991) で規定されるフレーム構成図、図14は一次局のブロック構成図である。図において、1201は一次局による二次局13へのリフレッシュ要求、1202は二次局13によるリフレッシュ応答、1203は一次局による二次局14へのリフレッシュ要求、1204は二次局14によるリフレッシュ応答、1205は一次局による二次局12へのポーリング要求、1206は二次局12によるポーリング応答、1207は一次局による二次局15へのポーリング要求、1208は二次局15によるポーリング応答、1209と1210は要求と応答間のオフ時間である。

1300は一次局からの要求及び二次局からの応答の各フレーム、1301はフレームの開始を示すフラグ、1302は送信先を示すアドレス、1303はフレーム制御を示すコントロール、1304は送信されるデータ、1305はフレームの正当性を検査するフレーム検査シーケンス (FCS)、1306はフレームの終了を示すフラグである。

1 4 0 1 は通信回路、1 4 0 2 はプロセッサ、1 4 0 3 はメモリ、1 4 0 4 は通信起動指令、1 4 0 5 は割込み信号である。

#### 【0 0 0 3】

次に動作を説明する。

一次局 1 1 内のプロセッサ 1 4 0 3 は、リフレッシュ要求 1 2 0 1 やポーリング要求 1 2 0 5 の送信フレーム 1 3 0 0 を準備し、通信回路 1 4 0 1 に通信起動を指令する（1 4 0 4）。通信回路 1 4 0 1 はデータ構造に従って、例えば図 1 3 に示される通信を実行し、完了すると割込み信号 1 4 0 5 でプロセッサ 1 4 0 3 に通知する。

しかしながらこのような順次ポーリング方式では、二次局の数が多くなると、全二次局のデータを収集する場合に長時間を要する。この欠点を解決するために、例えば次のような公報記載のデータ収集方式が提案されている。

第 2 の従来例としての特開平 1 - 3 0 0 6 4 3 号公報で、以下の方式が示されている。即ちこの公報には、一次局は複数の二次局に対して送信順位情報を含む一括ポーリング信号を送信し、二次局はデータ回線中のキャリア信号を監視し、これがオフになり次第、予め記憶されている送信順位に従ってデータ送信するポーリングセレクトイング方式が開示されている。

第 3 の従来例としての特開平 9 - 1 8 1 7 5 2 号公報では、以下の方式が示されている。即ちこの公報には、一次局から各二次局の送信順位を含めた一括ポーリングパケットを送信し、二次局はポーリングパケット内の送信順位に対応した時間だけデータ送信を待機した後データを送信する方式が開示されている。

#### 【0 0 0 4】

##### 【発明が解決しようとする課題】

従来の方式は、第 2 と第 3 の一括ポーリング方式であっても、ポーリング毎に収集対象である二次局の全アドレスをポーリング時に送信する方式をとっている。従ってアドレス通信のオーバーヘッドが大きく、通信時間が長くなるという課題がある。

#### 【0 0 0 5】

この発明は上記のような課題を解決するためになされたもので、データ通信の

オーバヘッドを削減し、従って通信周期を短縮し、または問い合わせサイクルを頻繁にできるシリアル通信システムを得る。

【 0 0 0 6 】

【課題を解決するための手段】

この発明に係る時間短縮シリアルデータ送受信システムは、シリアル伝送バスを用いて所定の周期でポーリング及びリフレッシュ要求を行う一次局と、一次局に回答する複数の二次局から構成されるシステムにおいて、

一次局は、二次局からの応答順を予め定めて、二次局に対するアドレス指定を省いたポーリング及びリフレッシュ要求を行い、

各二次局では、所定順を確認して応答するようにした。

【 0 0 0 7 】

また更に、二次局にはカウンタ相当またはタイマーを設けて、各二次局では他の二次局の応答または時間を監視して、各々設定された順序または時間を検出した後、自局の応答を行うようにした。

【 0 0 0 8 】

また更に、二次局は、応答時間監視手段を設けて、監視した応答時間が過ぎると、自局が指定される所定の順で応答を行うようにした。

【 0 0 0 9 】

また更に、一次局は、二次局に対するリフレッシュ要求に二次局の通常応答が不必要であることを示すフィールドを設けて、

二次局はフィールドの指定に基づき、通常のリフレッシュ応答を止めるようにした。

【 0 0 1 0 】

また更に、一次局は、二次局に対するリフレッシュ応答に二次局のエラー通知が可能であることを示すフィールドを設けて、二次局は、自局でのエラー監視手段を設けて、この監視でエラーを検出した場合に、上記フィールドの指定に基づきエラー応答を返すようにした。

【 0 0 1 1 】

【発明の実施の形態】



## 実施の形態 1.

本実施の形態におけるシステム構成図は、図 1 の一般的なシステム構成図と同じである。

図 2 はこの発明の一実施例を示すシリアル伝送バスのタイミング図、図 3 は二次局内のシリアル伝送バス制御部のブロック構成図、図 4 はシステムの動作フロー図である。

図 2 において、201～203 は周期的に繰り返される一次局と複数の二次局の間で行われる一連の通信群を示し、204 は各通信群の周期時間である。更に、210～215 は、平均的な通信群 202 で伝送される一連のフレーム（伝送単位）の構成を示すもので、210 はリフレッシュ要求、211～212 はリフレッシュ応答、213 はポーリング要求、214～215 はポーリング応答、216～217 は要求と応答間のオフ時間である。218 は全二次局又は二次局個別を指定するアドレスである。

図 3 において、300 は二次局内のシリアル伝送バス 16 への送受信を制御する制御部、301 はトランシーバ、302 は応答送信のタイミングを決定する送信制御部、303 は順番レジスタ、304 はシリアル伝送バス 16 上の信号線の変化を監視する信号チェッカ、305 はデータ送信部、306 はデータ受信部である。

図 4 において、41 は一次局のプロセッサ 1402 が実行したステップを示す欄、42 は図示していない一次局の通信回路が実行したステップを示す欄、43 は二次局のシリアル伝送バス制御部 300 が実行したステップを示す欄、44 が図示していない二次局の入出力回路が実行したステップを示す欄であり、S411～S437 は具体的な各処理項目（ステップ）を表わしている。

### 【0012】

図 1 から図 3 を用いて本装置の動作の基本的な意味を説明する。

この発明が対象とする分野では、入力情報の時刻記録（タイムスタンプ）と、周期内で通信が終了することが要求される。即ち、一次局 11 はポーリングで得た入力情報に時刻記録などの処理を実施し、かつ周期時間内に一連の通信群の通信を終らねばならない。この実施形態では、図 1 に示すように、出力型二次局と

入力型二次局が各々2局ずつの例を述べる。

一次局は、二次局に対するリフレッシュ要求やポーリング要求を実施する前に、全ての二次局内の順番レジスタ303に、入力局と出力局で独立にシリアル番号を設定する。例えば、二次局12に“1”、13に“1”、14に“2”、15に“2”を設定する。

図2に示した通信群202のタイミングは、以下の意味を示している。まず、一次局11は、全出力型二次局13と14へのリフレッシュデータをまとめてリフレッシュ要求210として送信する。二次局13と14内のシリアル伝送バス制御部300は、アドレス218から自局又は全二次局へのリフレッシュ要求210を受信し、受信したデータをデータ受信部306を経由して出力回路部に渡す。信号チェッカ304は、シリアル伝送バス16上の信号の変化を監視して、一定時間以上信号変化が無い場合フレーム転送の終了を検知する。

#### 【0013】

送信制御部302は、信号チェッカ304からのフレーム転送の終了と、順番レジスタ303に設定された値を比較して、自局の応答順序を制御する。例えば、二次局13内の送信制御部302は順番レジスタ303の設定値“1”より、信号チェッカ304からのリフレッシュ要求フレーム転送完了と同時に、データ送信部305にリフレッシュ応答211の送信許可を出す。一方二次局14内の送信制御部302は、二次局13のリフレッシュ応答フレームの転送が完了した後、データ送信部305にリフレッシュ応答212の送信許可を出す。二次局12、15は、入力型のためリフレッシュ要求には応答しない。

次に、一次局11は全入力型二次局に、ポーリング要求213を送信する。二次局12と15内のシリアル伝送バス制御部300は、アドレス218から自局又は全二次局へのポーリング要求213を受信すると同時に、入力回路部からポーリングデータを読み取る。ポーリング応答の送信制御は、上記リフレッシュ応答送信時の動作と同じである。

これらの一連の通信群の処理は一次局内のプロセッサの指示に基づいて、一次局通信回路が実行する。プロセッサは、リフレッシュ要求とポーリング要求を1回ずつ送信する他は二次局からの応答を受信するだけのため、処理の負荷を軽減

することができる。また送信時間を短縮できる。この送信時間の短縮は、第2、第3の従来例に比べて最大30%にも達する。

#### 【0014】

図4の通信処理フローを用いてシーケンス動作を説明する。

一次局のプロセッサはリフレッシュ要求の出力データに変更があれば設定し、全リフレッシュデータを初期化し（S412）、通信起動を指示し（S413）、前の周期で受信したデータへのタイムスタンプや上位処理装置との通信などの処理へ移行する。通信回路は図示していない内部タイマーの設定時間の到達を待って（S415）、リフレッシュ要求210を送信する（S417）。

出力型二次局13と14は、アドレス218から自局又は全二次局へのリフレッシュ要求210を受信し（S428）、出力点をリフレッシュする（S436）と共に、自局の応答順序でリフレッシュ応答を返す（S429、S430）。次に、通信回路は出力型二次局からのリフレッシュ応答を全て受信する（S418、S419）と、ポーリング要求213を送信する（S420）。

二次局12と15は、アドレス218から自局又は全二次局へのポーリング要求213を受信し入力点状態のデータ採取を開始し（S437）、データ採取の結果を載せてポーリング応答214と215を返す（S432、S433）。次に、通信回路は入力型二次局からのポーリング応答を全て受信する（S421、S422）と、終了判定を行い（S423）エラーが無ければ割込みを発生する（S427）。プロセッサは割込み信号によって、割込み受信処理を行い（S414）、次に、二次局12と15から受信したデータをメモリ（図示せず）へコピーし（S411）、前記処理S412を繰り返す。

#### 【0015】

終了判定（S423）で二次局が通信エラー応答を返した場合、プロセッサは異常局に対してエラーが発生した要求を個別アドレスで送信する（S424）。二次局は要求を受信（S434）後、応答を返し（S435）、一次局は二次局からの応答を受信する（S436）。一次局は、通信エラーが発生した全ての二次局に対して同様の処理を行う。また、通信の途中で二次局内の異常などにより応答がない場合、一次局は二次局の応答時間を監視し、応答が無い場合は異常と

判断して再送処理を実行してもよい。

以上説明したように、この発明は一次局と二次局間の通信シーケンスを簡略化することにより、通信時間を短縮し、またプロセッサの負荷を軽減する効果がある。

#### 【 0 0 1 6 】

以上の実施の形態では、二次局はシリアル伝送バス 1 6 上の信号線の変化で順序を知り、その順序から自局の送信開始タイミングを制御していたが、これを予め各二次局に対してそれぞれ異なるタイマーを設定し、そのタイマーに基づく時間監視で送信順序を制御する形態としてもよい。

図 5 は、こうした場合のシリアル伝送バス制御部 3 0 0 の構成図である。

図中、5 0 1 は送信の可否を決定する送信制御部、5 0 2 は自局の応答待ち時間を設定するレジスタ、5 0 3 は一次局からの要求フレーム完了を監視する受信チェッカである。その他の図 3 と同一の符号は同一又は同等の要素を示す。

#### 【 0 0 1 7 】

図 2 と 5 を用いて本装置の動作を説明する。

一次局は、先に説明したと同様に、まず全ての二次局内の応答時間レジスタ 5 0 2 に、二次局毎の応答待ち時間を設定する。

図 2 に示した通信群 2 0 2 のタイミングについて説明するが順序判定以外は図 3 の構成と同様であるので、異なる部分を詳述する。即ち、まず、まとめたリフレッシュ要求 2 1 0 を送信する。二次局 1 3 と 1 4 はこれを受信し、受信チェッカ 5 0 3 は、リフレッシュ要求フレームの転送完了を検出する。

送信制御部 5 0 1 は、受信チェッカ 5 0 3 によるフレーム転送終了検出と、応答時間レジスタ 5 0 2 に設定された値から、自局の応答送信を制御する。例えば、二次局 1 3 内の応答時間レジスタ 5 0 2 に 2 0 マイクロ秒が設定されている場合、二次局 1 3 はリフレッシュ要求 2 1 0 を受信した後、2 0 マイクロ秒後にリフレッシュ応答を返す。二次局 1 2、1 5 は、入力型のためリフレッシュ要求には応答しない。

次に、一次局 1 1 は全入力型二次局に、ポーリング要求 2 1 3 を送信する。二次局 1 2 と 1 5 は、これを受信すると同時に、入力回路部からポーリングデータ

を読み取り、ポーリング応答を送信する。

このように時間監視に基づいて順序制御を行っても、プロセッサの処理の負荷を軽減し、また送信時間を短縮できる。

#### 【 0 0 1 8 】

実施の形態 2.

以上の実施の形態 1 では、二次局が故障などにより応答しない場合は、一次局が異常を検出して、再送を制御する場合を説明したが、本実施の形態では、二次局で異常を検知して応答する場合を説明する。

図 6 は二次局 1 2 のポーリング応答 2 1 4 ( 図中破線表示部 ) が返されない場合のタイミング図であり、図 7 は本実施の形態におけるシリアル伝送バス制御部 3 0 0 の構成図である。図において、7 0 1 は送信の可否を決定する送信制御部、7 0 2 は二次局の応答タイムアウト時間を設定するタイムアウトレジスタである。その他の図 2、図 5 と同一の符号は同一又は同等の部分を示す。

#### 【 0 0 1 9 】

図 6 と図 7 を用いて本装置の動作を説明する。

一次局は、二次局に対するリフレッシュ要求やポーリング要求を実施する前に、全ての二次局内のタイムアウトレジスタ 7 0 1 に、応答タイムアウト時間を設定する。

図 6 に示した通信群 2 0 2 のタイミングについて説明する。リフレッシュ要求とリフレッシュ応答の制御は実施の形態 1 と同じである。

次に、一次局 1 1 は全入力型二次局に、ポーリング要求 2 1 3 を送信する。二次局 1 5 内の送信制御部 7 0 1 は、タイムアウトレジスタ 7 0 2 の設定値内に信号チェッカ 3 0 4 からのフレーム転送完了通知を受信しない場合、つまりシステムが何らかの要因でホールドしたとし、応答タイムアウトが発生したと判断して、ポーリング応答 2 1 5 の送信を許可する。つまりタイムアウト検出で自発的に自局の順序になると送信を開始する。

一次局は、二次局 1 5 からのポーリング応答 2 1 5 を受信すると、タイムアウトとなった二次局 1 2 に対してのみポーリング要求の再送を行う。

これらの一連の通信群の処理は一次局内のプロセッサの指示に基づいて、一次

局通信回路が実行する。プロセッサは、応答タイムアウトが発生した場合にも、異常が発生した二次局のみに要求を再送するだけで、アドレス送信が不要なく、処理の負荷を軽減し、周期内の応答が確保できる。

### 【 0 0 2 0 】

実施の形態 3.

本発明が適用される別の分野では、通信エラーを許容しても通信時間の短縮が重要である場合がある。

本実施の形態では、一次局から送信されるリフレッシュ要求フレーム内に応答送信不要ビットを設け、該ビットのセット／リセットで二次局がリフレッシュ応答を送信する／しないを制御する形態を示す。

図 8 は応答不要ビットの実施例を示すフレーム構成図であり、図 9 は応答送信無効ビットを有効にした場合のタイミング図である。図 8 と図 9 において、8 0 1 は応答送信無効ビット、9 0 1 は応答送信不要ビット 8 0 1 を有効にしたリフレッシュ要求、即ち応答送信不要ビット 8 0 1 が有効であればリフレッシュ応答は不要という信号で、9 0 2 は要求間のオフ時間である。その他の図 2 と同一の符号は同一又は同等の部分を示す。

### 【 0 0 2 1 】

図 8 と 9 を用いて本装置の動作を説明する。

図 9 に示した通信群 2 0 2 のタイミングについて説明する。まず、一次局 1 1 は、出力型二次局 1 3 と 1 4 へのリフレッシュデータをまとめて、応答送信不要ビット 8 0 1 を有効にしたリフレッシュ要求 9 0 1 として送信する。二次局 1 3 と 1 4 は、アドレス 2 1 8 から自局又は全二次局へのリフレッシュ要求 9 0 1 を受信し、受信したフレームの応答送信不要ビット 8 0 1 をチェックして、不要ビットが有効であるのでリフレッシュ応答は送信しない。

次に、一次局 1 1 はオフ時間 9 0 2 を経過した後、全入力型二次局にポーリング要求 2 1 3 を送信する。二次局 1 2 と 1 5 は、アドレス 2 1 8 から自局又は全二次局へのポーリング要求 2 1 3 を受信すると同時に、入力回路部からポーリングデータを読み取る。ポーリング応答の送信制御は、実施の形態 1 に記載のポーリング応答送信時の動作と同じである。

以上説明したように、この発明は二次局の応答の有無を制御することにより、通信時間を短縮できる効果がある。

#### 【 0 0 2 2 】

実施の形態 3 では、一次局が二次局の応答送信の有無を制御していたが、二次局側でエラーが応答を行うようにした形態としてもよい。

図 1 0 はこうした二時局によるエラー通知有効ビットを用いた実施例を示すフレーム構成図であり、図 1 1 はタイミング図である。図において、1 0 0 1 はエラー通知有効ビット、1 1 0 1 はエラー通知有効ビットを有効にしたリフレッシュ要求、1 1 0 2 はエラー通知時間である。その他の 8、図 9 と同一の符号は同一又は同等の部分を示す。

#### 【 0 0 2 3 】

図 1 0 と 1 1 を用いて本装置の動作を説明する。

図 1 1 に示した通信群 2 0 2 のタイミングについて説明する。まず、一次局 1 1 は、出力型二次局 1 3 と 1 4 へのリフレッシュデータをまとめて、応答送信不要ビット 8 0 1 とエラー通知有効ビット 1 0 0 1 を両方有効にしたリフレッシュ要求 1 1 0 1 として送信する。二次局 1 3 と 1 4 は、アドレス 2 1 8 から自局又は全二次局へのリフレッシュ要求 1 1 0 1 を受信し、受信したフレームの応答送信不要ビット 8 0 1 とエラー通知有効ビット 1 0 0 1 をチェックして、両方とも有効であるのでリフレッシュ応答は送信せず、自局で監視していて何らかのエラーを検出した場合のみ、リフレッシュ要求 1 1 0 1 を受信した後にエラー通知を行う。エラー通知方法は、HDL C で規定されるように一定時間“1”を送信してもよい。

次に、一次局 1 1 はリフレッシュ要求送信後、エラー通知時間 1 1 0 2 で二次局からのエラー通知の有無をチェックする。エラー通知があった場合はポーリング実行後、再送処理を行う。全入力型二次局に、ポーリング要求 2 1 3 を送信する。二次局 1 2 と 1 5 は、アドレス 2 1 8 から自局又は全二次局へのポーリング要求 2 1 3 を受信すると同時に、入力回路部からポーリングデータを読み取る。ポーリング応答の送信制御は、実施の形態 1 に記載のリフレッシュ応答送信時の動作と同じである。

プロセッサは、複数のリフレッシュ要求に 1 回の応答送信不要ビット 8 0 1 を無効とすることにより、出力型二次局のエラーの有無を得ることができる。

以上のように、この実施の形態においては、二次局の応答の有無を通知し、それに基づいて必要時のみ応答するようにしたので、通信時間を短縮する効果がある。

#### 【 0 0 2 4 】

##### 【発明の効果】

以上のようにこの発明によれば、一次局は二次局からの応答順を予め定めて、二次局に対するアドレス指定を省いたポーリング及びリフレッシュ要求を行うので、データ通信のオーバヘッドを減らして、通信時間を短縮する効果がある。

#### 【 0 0 2 5 】

また更に、二次局にはカウンタ相当またはタイマーを設けたので、一次局の負担は更に軽くなる効果がある。

#### 【 0 0 2 6 】

また更に、リフレッシュ要求への通常応答が不必要であるフィールドを設けたので、通信時間を更に短縮する効果がある。

##### 【図面の簡単な説明】

【図 1】 シリアルデータ送受信システムの構成図である。

【図 2】 本発明の実施の形態 1 における伝送バス上のタイミングと、情報内容例を示す図である。

【図 3】 実施の形態 1 における二次局の伝送バス制御部を示す構成図である。

【図 4】 実施の形態 1 におけるシステムのシーケンス図である。

【図 5】 実施の形態 1 における他の伝送バス制御部を示す構成図である。

【図 6】 本発明の実施の形態 2 における伝送バス上のタイミングと、情報内容例を示す図である。

【図 7】 実施の形態 2 における二次局の伝送バス制御部を示す構成図である。

【図 8】 本発明の実施の形態 3 におけるフレーム構成の例を示す図である



【図 9】 実施の形態 3 における伝送バス上のタイミング図である。

【図 10】 実施の形態 3 における他のフレーム構成の例を示す図である。

【図 11】 実施の形態 3 における他の伝送バス上のタイミング図である。

【図 12】 HDLC の通信タイミング図である。

【図 13】 HDLC で規定されるフレーム構成図である。

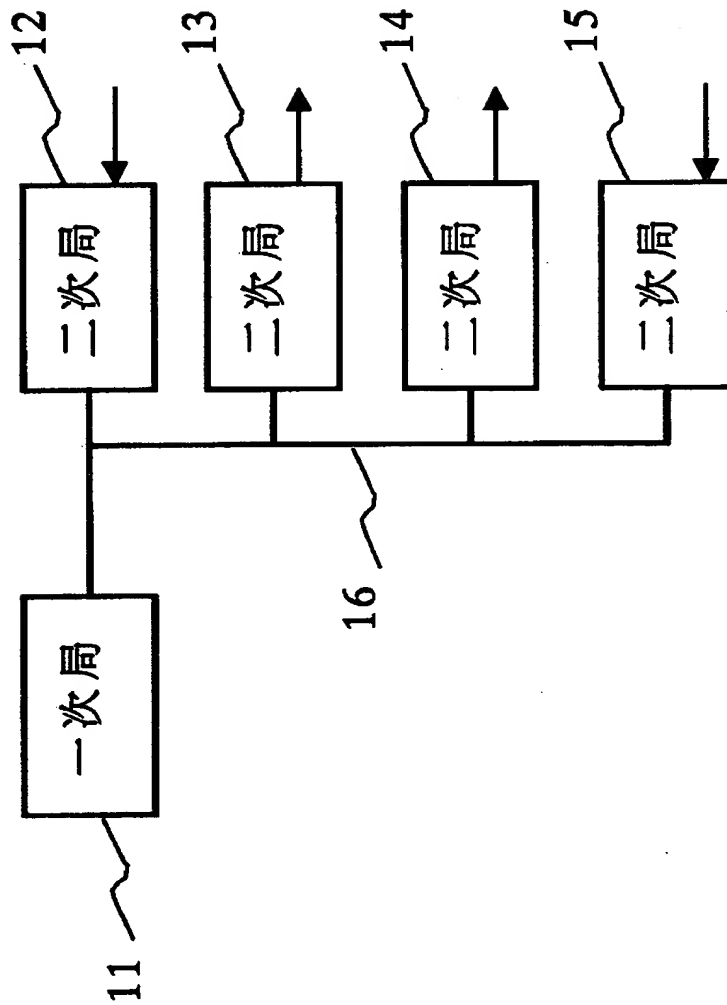
【図 14】 従来の一次局の構成図である。

【符号の説明】

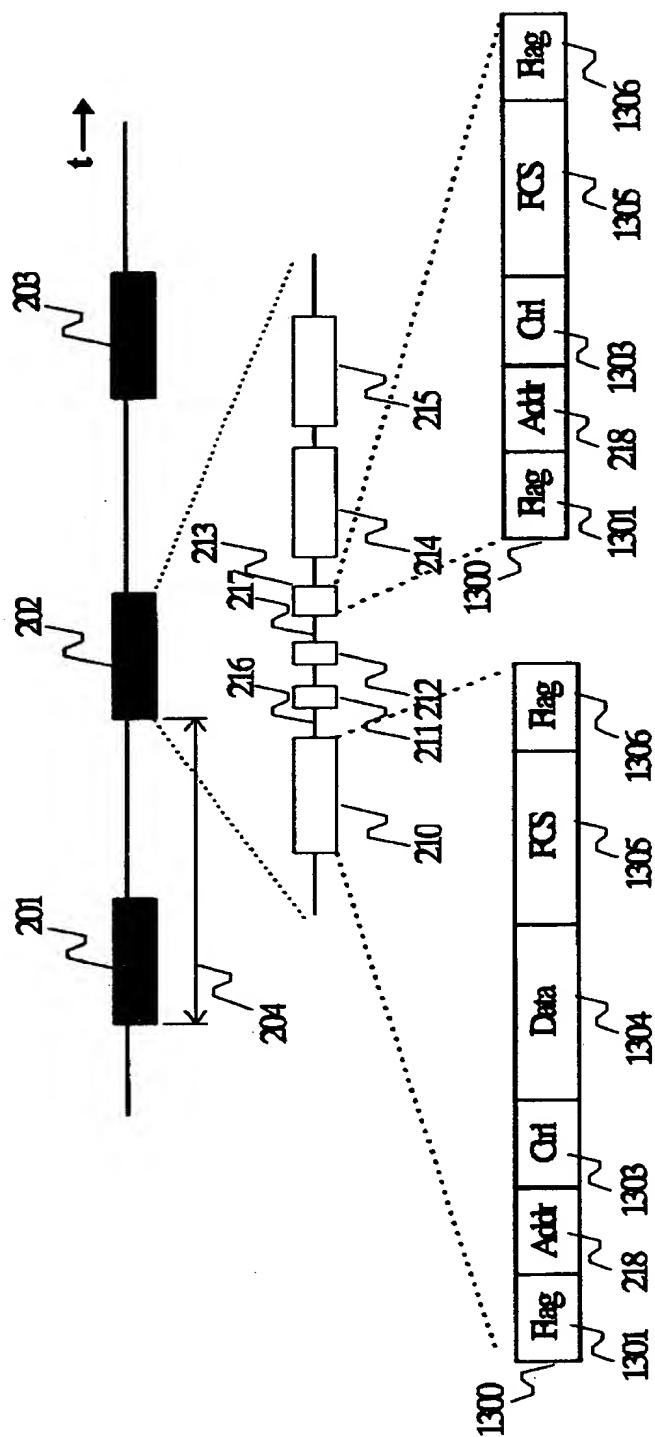
11 一次局、12, 13, 14, 15 二次局、302 送信制御部、303 順番レジスタ、304 信号チェッカ、501 送信制御部、502 応答時間レジスタ、503 受信チェッカ、701 送信制御部、702 タイムアウトレジスタ、210 リフレッシュ要求、801 応答送信不要ビット、1001 エラー通知ビット。

【書類名】 図面

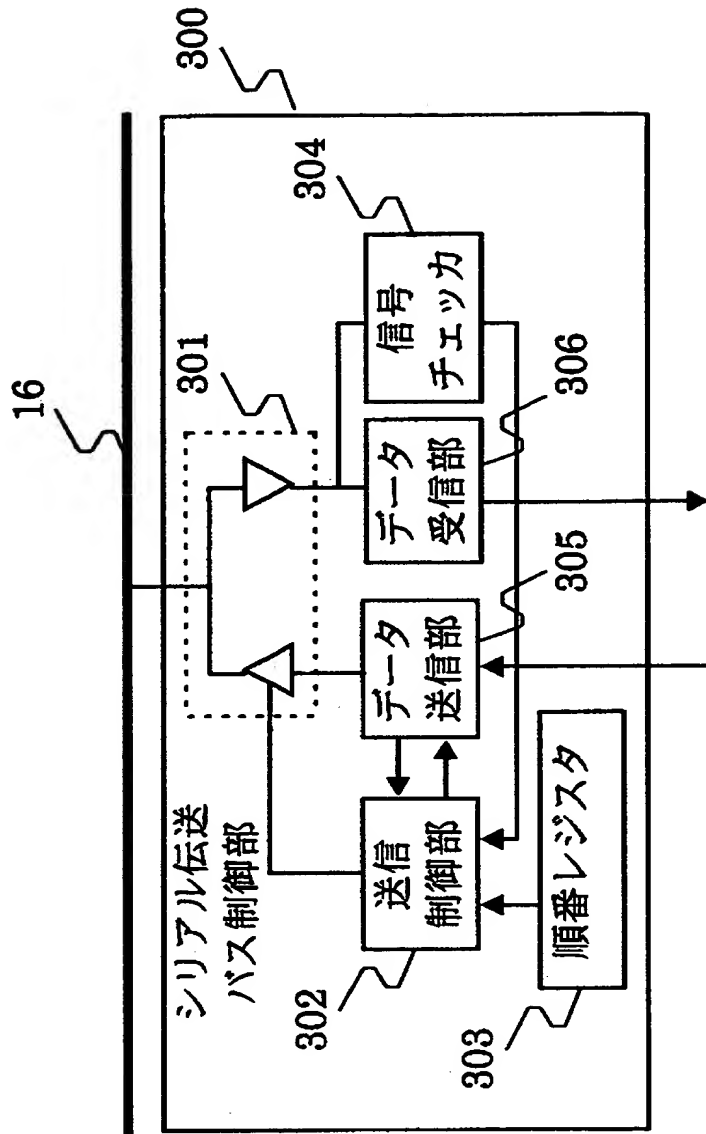
【図1】



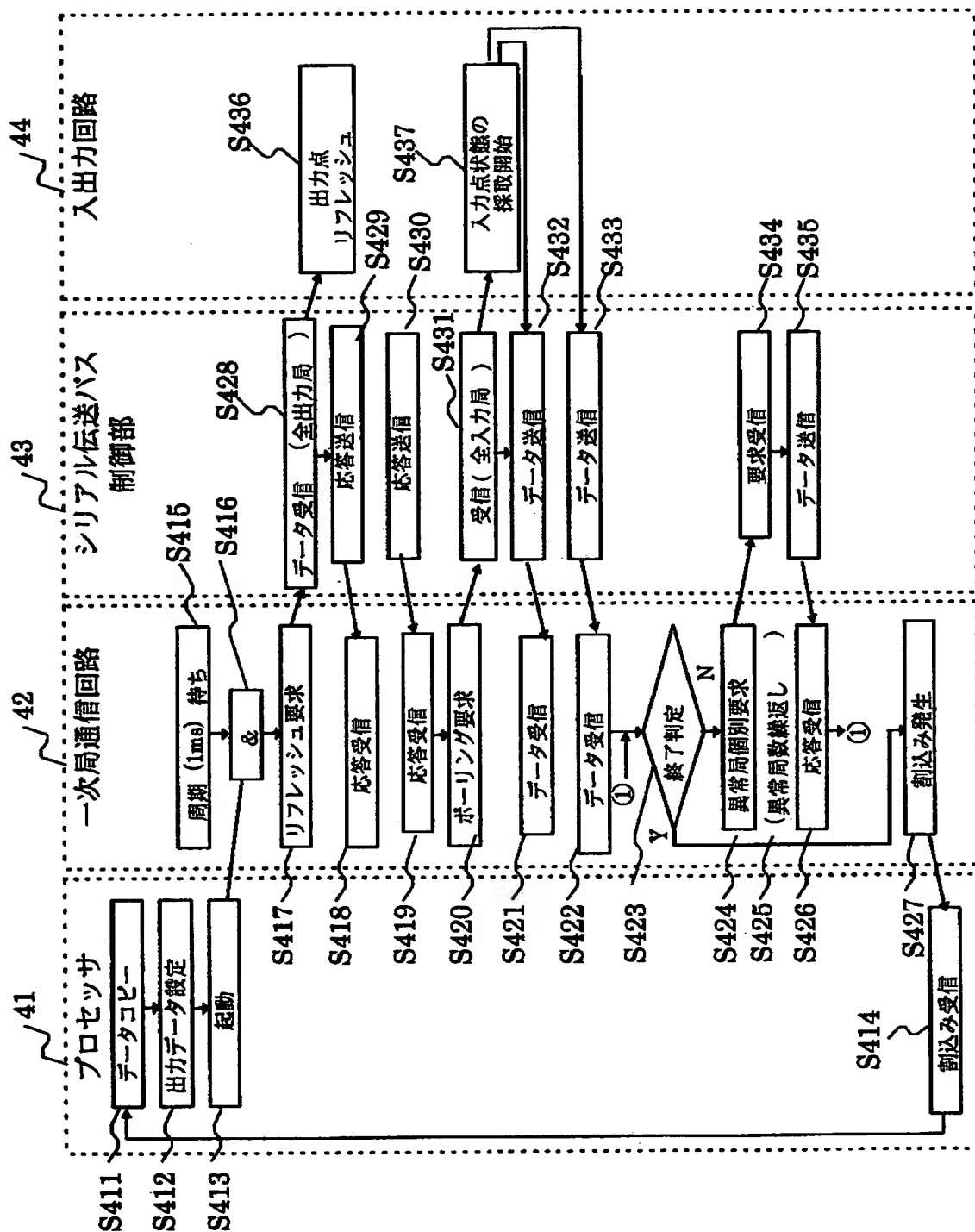
【図 2】



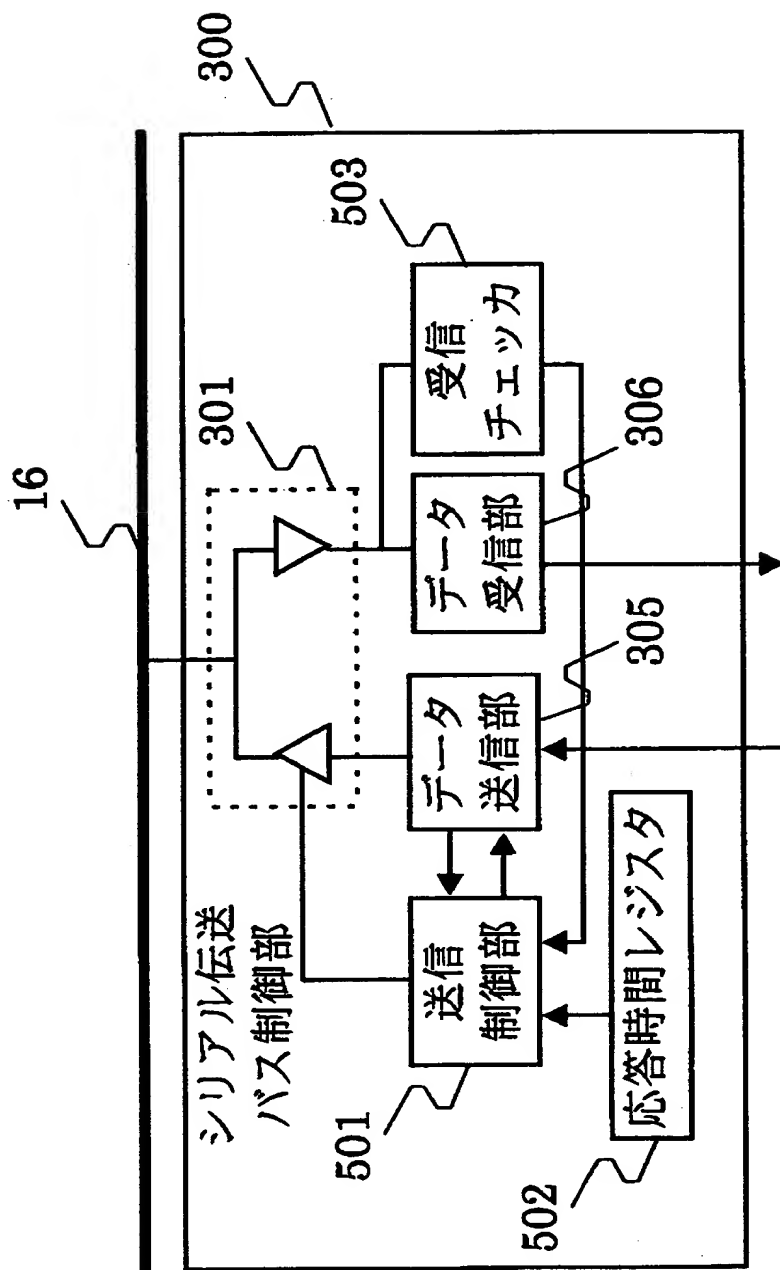
【図 3】



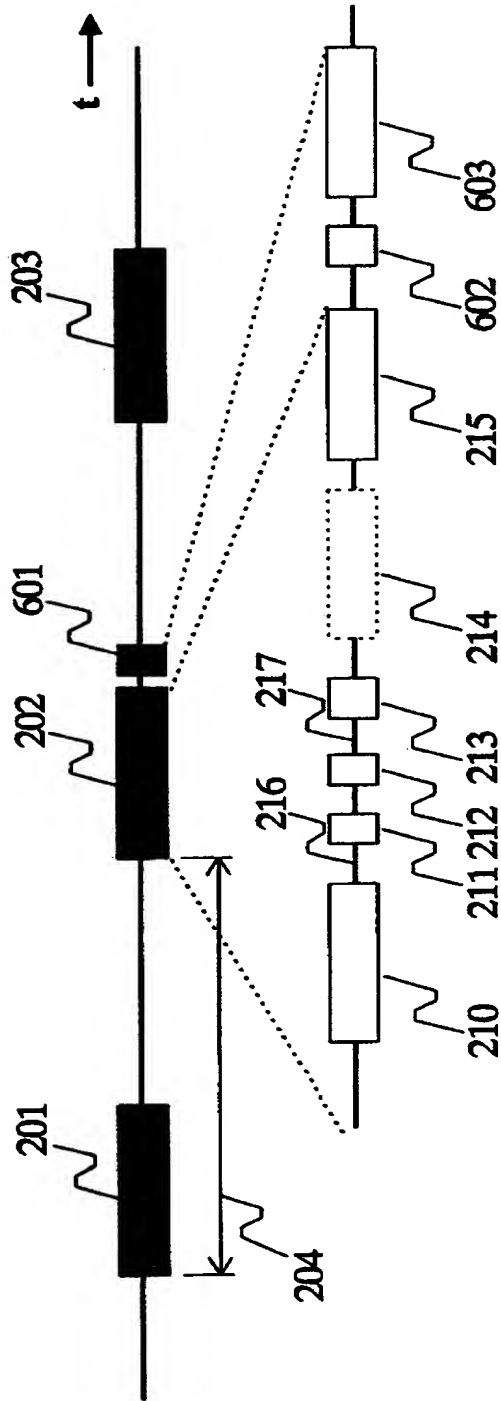
【図 4】



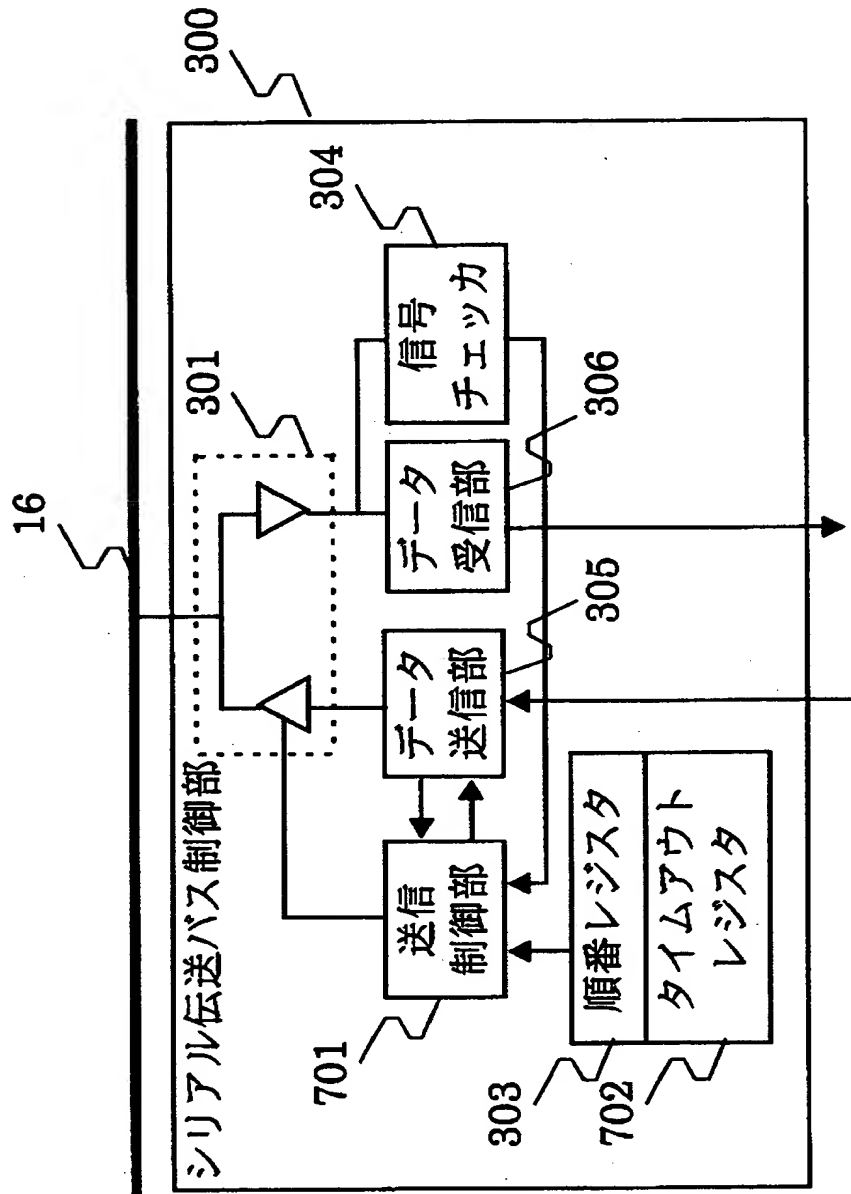
【図 5】



【図 6】

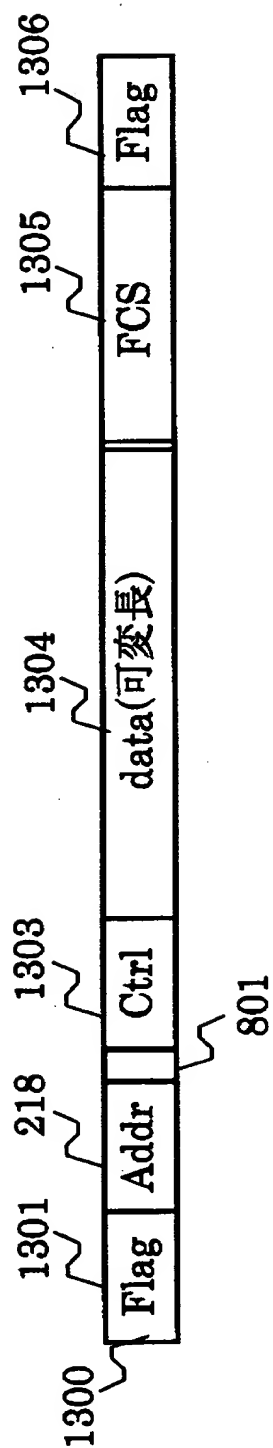


【図7】

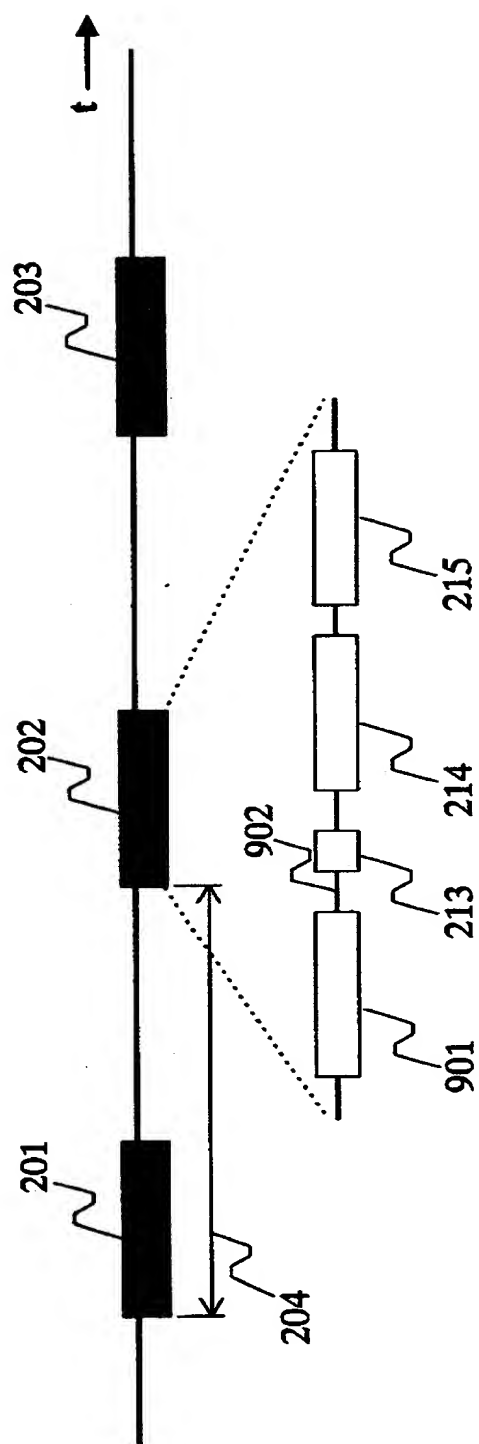




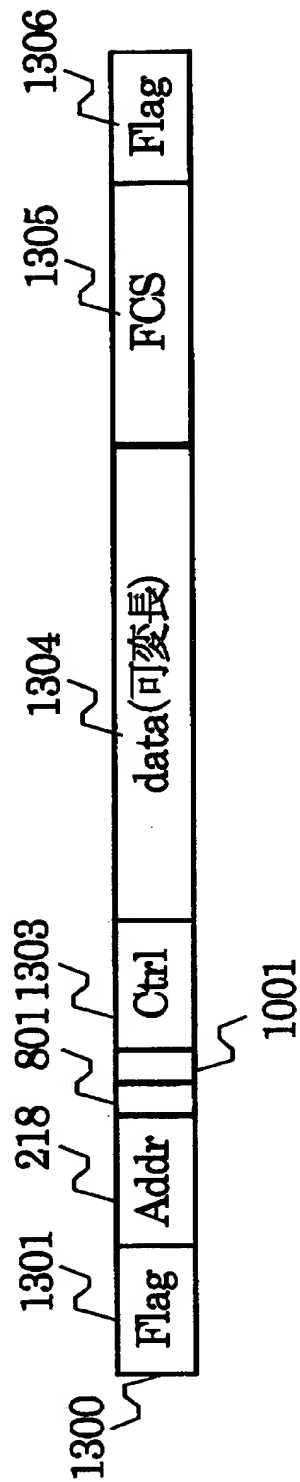
【図 8】



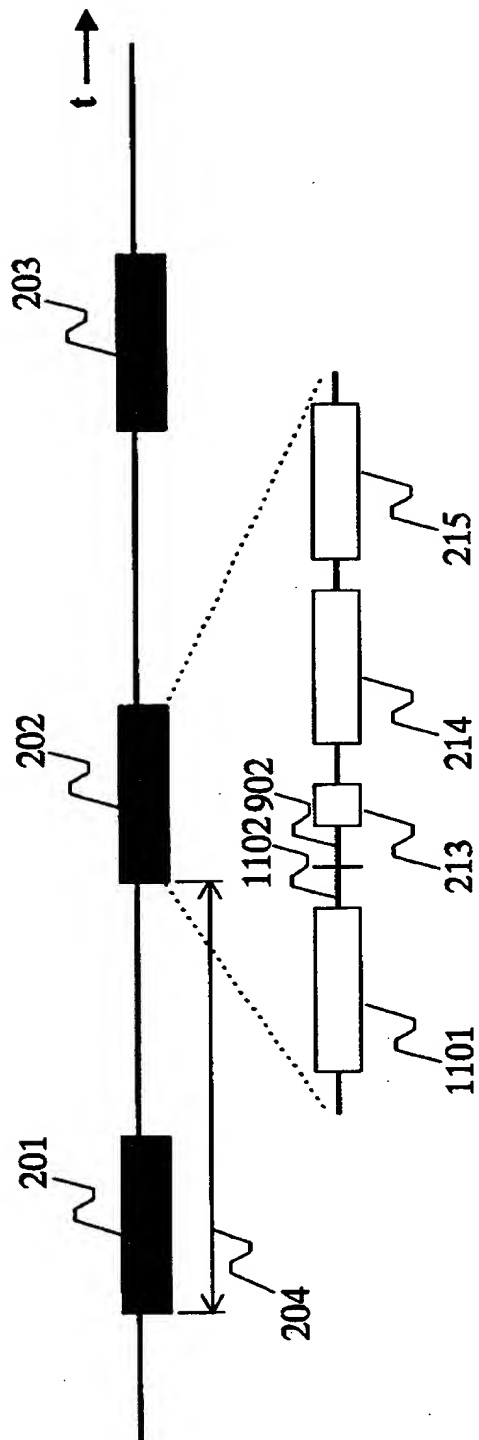
【図 9】



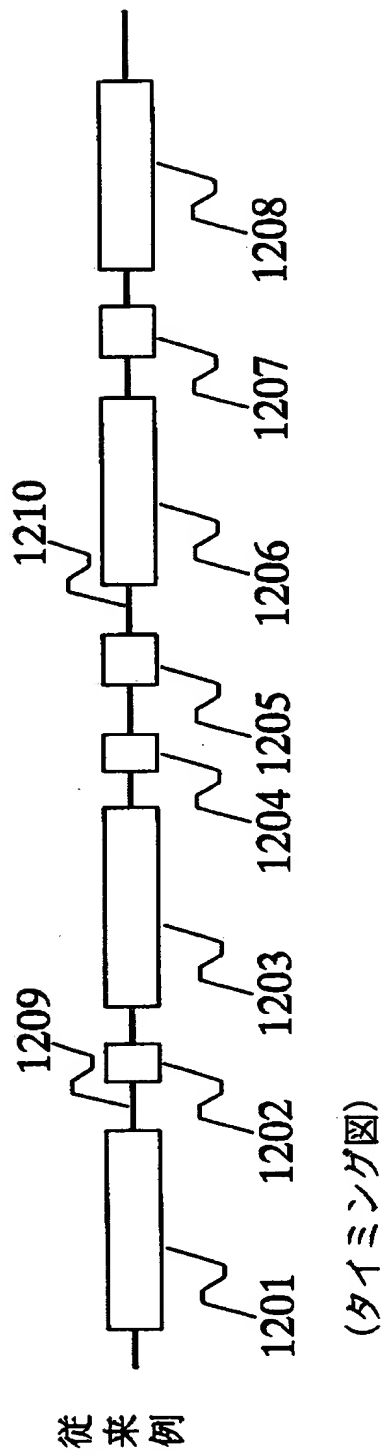
【図 1 0】



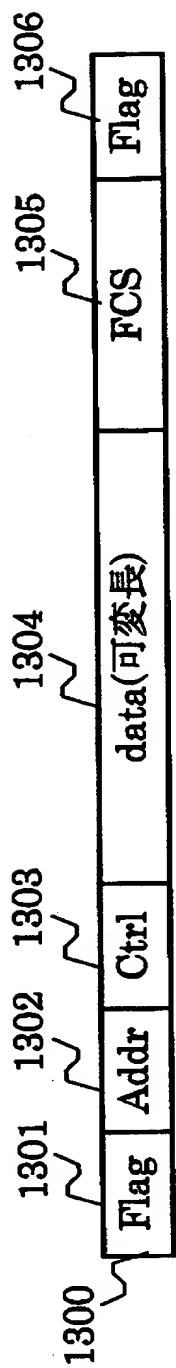
【図 1 1】



【図 1 2】

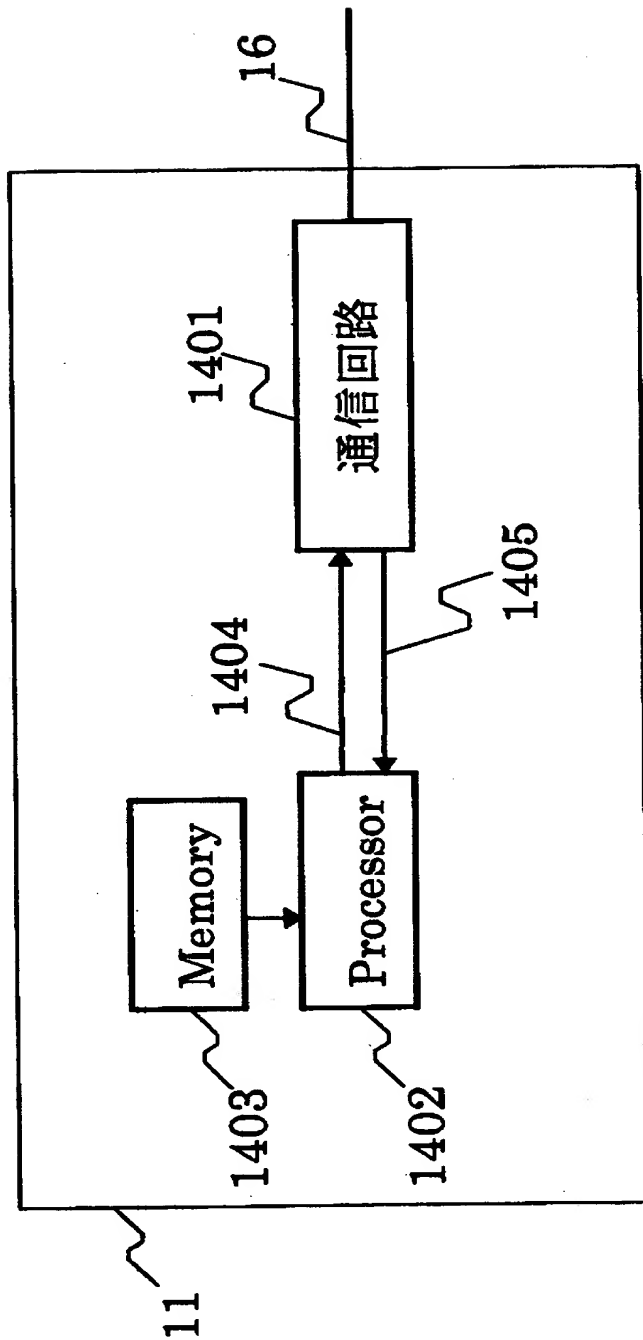


【図 1 3】



(フレーム構成)

【図 1 4】



(従来H/W構成)

【書類名】            要約書

【要約】

【課題】    通信のオーバーヘッドを減らして通信時間を短縮する。

【解決手段】    シリアル伝送バスを用いて所定の周期でポーリング及びリフレッシュ要求を行う一次局と、一次局に応答する複数の二次局から構成されるシステムにおいて、一次局は、二次局からの応答順を予め定めて、二次局に対するアドレス指定を省いたポーリング及びリフレッシュ要求を行い、各二次局では、所定順を確認して応答するようにした。

【選択図】            図 2



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社